

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-036821

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

H04H 5/00

(21)Application number : 07-189090

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 25.07.1995

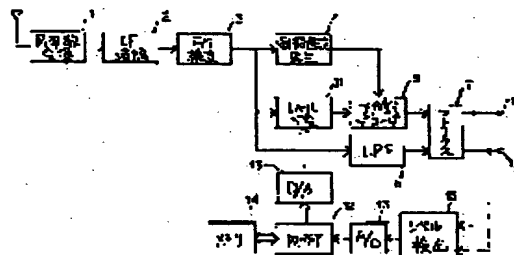
(72)Inventor : IIJIMA TAKASHI
SUZUKI HIROHISA

(54) STEREO DEMODULATION CIRCUIT AND METHOD FOR ADJUSTING ITS DEGREE OF SEPARATION

(57)Abstract:

PROBLEM TO BE SOLVED: To enable the automatic adjustment of a stereo separation according to the levels of demodulated stereo L and R signals.

SOLUTION: This stereo demodulation circuit is provided with a sub-signal decoder 5 decoding a stereo sub-signal from a stereo composite signal, a level adjusting circuit 11 varying the input level of the sub-signal decoder 5 to the level according to the control signal, a LPF 6 extracting a stereo sum-signal from the stereo composite signal and generating it, a matrix circuit 7 matrixing the stereo sum signal and a stereo difference signal and generating a stereo right signal and a stereo left signal, and a control circuit 12 generating a prescribed control signal in the level adjusting circuit 11 via a D/A conversion circuit 13. In an adjustment, a level detection circuit 15 and an A/D conversion circuit 16 are added and control data to set an optimum sub-signal level is stored in a memory 14.



LEGAL STATUS

[Date of request for examination]

16.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3301891

[Date of registration]

26.04.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BLANK PAGE

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36821

(43) 公開日 平成9年(1997)2月7日

(51) IntCl.⁶

H04H 5/00

識別記号

庁内整理番号

F I

H04H 5/00

技術表示箇所

H

審査請求 未請求 請求項の数3 O L (全7頁)

(21) 出願番号 特願平7-189090

(22) 出願日 平成7年(1995)7月25日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 飯島 隆

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 鈴木 裕久

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

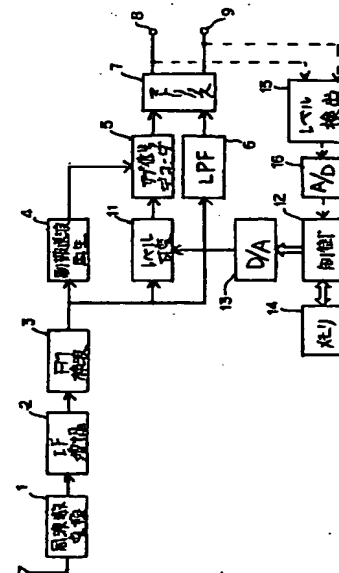
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 ステレオ復調回路及びその分離度調整方法

(57) 【要約】

【課題】 ステレオセパレーションの自動調整を可能とする回路を提供する。

【解決手段】 ステレオコンボジット信号より、ステレオサブ信号をデコードするサブ信号デコーダ5と、サブ信号デコーダ5の入力レベルを制御信号に応じたレベルに変換するレベル調整回路11と、前記ステレオコンボジット信号よりステレオ和信号を抽出し、発生するLPF6と、前記ステレオ和信号と前記ステレオ差信号とをマトリクスし、ステレオ右信号及びステレオ左信号を発生するマトリクス回路7と、前記レベル調整回路11にD/A変換回路13を介して所定の制御信号を発生する制御回路12とから成り、調整時、レベル検出回路15及びA/D変換回路16が付加され、最適なサブ信号レベルを設定するための制御データがメモリ14に記憶される。



【特許請求の範囲】

【請求項1】ステレオコンボジット信号より、ステレオ差信号を再生するステレオ差信号再生回路と、

前記ステレオ差信号再生回路の入力信号または出力信号を制御信号に応じたレベルに設定する第1レベル調整回路と、

前記ステレオコンボジット信号よりステレオ和信号を抽出するステレオ和信号発生回路と、

前記ステレオ和信号と前記ステレオ差信号とをマトリクスし、ステレオL信号及びステレオR信号を発生するマトリクス回路と、

前記第1レベル調整回路に印加される制御信号を記憶する第1記憶回路と、

から成ることを特徴とするステレオ復調回路。

【請求項2】ステレオコンボジット信号より、ステレオ差信号を再生するステレオ差信号再生回路と、

前記ステレオ差信号再生回路の出力信号を制御信号に応じたレベルに設定する第2及び第3レベル調整回路と、

前記ステレオコンボジット信号よりステレオ和信号を抽出するステレオ和信号発生回路と、

前記ステレオ和信号と前記第2レベル調整回路の出力信号とを加算する加算器と、前記ステレオ和信号と前記第3レベル調整回路の出力信号とを減算する減算器とを含み、ステレオL信号及びステレオR信号を発生するマトリクス回路と、

前記第2及び第3レベル調整回路に印加される制御信号を記憶する第2記憶回路と、

から成ることを特徴とするステレオ復調回路。

【請求項3】ステレオコンボジット信号より、ステレオ差信号を再生するステレオ差信号再生回路と、前記ステレオ差信号再生回路の入力信号または出力信号を制御信号に応じたレベルに設定するレベル調整回路と、前記ステレオコンボジット信号よりステレオ和信号を抽出するステレオ和信号発生回路と、前記ステレオ和信号と前記ステレオ差信号とをマトリクスし、ステレオL信号及びステレオR信号を発生するマトリクス回路と、前記レベル調整回路に印加される制御信号を記憶する記憶回路と、から成るステレオ復調回路の分離度調整方法であり、

ステレオL信号のみ、または、ステレオR信号のみを含むステレオコンボジット信号を印加し、マトリクス回路から発生するステレオR信号及びステレオL信号のレベルを検出し、

前記検出結果に応じて、制御信号を変更し、

前記制御信号に応じて、前記ステレオ差信号のレベルを調整し、

前記レベルの調整により、分離度を調整するようにしたステレオ復調回路の分離度調整方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ステレオ復調回路の分離度（以下、セパレーションと言う）の自動調整を可能とするステレオ復調回路及びその分離度調整方法に関する。

【0002】

【従来の技術】一般に、図2の如きステレオ復調回路を有するラジオ受信機が知られている。受信RF信号は周波数変換回路（1）でIF信号に周波数変換され、前記IF信号はIF増幅回路（2）で増幅される。IF増幅回路（2）の出力信号はFM検波回路（3）でFM検波され、その出力端にステレオコンボジット信号が発生する。前記ステレオコンボジット信号は、副搬送波信号再生回路（4）、サブ信号デコーダ（5）及びLPF

（6）に印加される。副搬送波信号発生回路（4）において、ステレオコンボジット信号より再生副搬送波信号が再生され、前記副搬送波信号はサブ信号デコーダ

（5）にスイッチング信号として印加される。サブ信号デコーダ（5）において、ステレオコンボジット信号と前記スイッチング信号とを乗算することにより、サブ信号（L-R）が得られる。また、LPF（6）において、ステレオコンボジット信号中のメイン信号（L+R）のみがLPF（6）を通過し、メイン信号が抽出される。前記メイン信号（L+R）及び前記サブ信号（L-R）はそれぞれステレオL信号及びステレオR信号が発生する。

【0003】

【発明が解決しようとする課題】ところで、マトリクス回路（7）では、メイン信号（L+R）及びサブ信号（L-R）の加算、減算が行われる。即ち、加算すると、 $(L+R) + (L-R) = 2L$ より、ステレオL信号が得られ、減算すると、 $(L+R) - (L-R) = 2R$ より、ステレオR信号が得られる。そして、出力端子（8）及び（9）にそれぞれステレオL信号のみ及びステレオR信号のみを得るためには、メイン信号とサブ信号とのレベルを一致させなければならない。しかしながら、実際には、メイン信号とサブ信号とのレベルは一致していないので、出力端子（8）にはステレオL信号の他にステレオR信号がクロストークとして表れ、逆に、出力端子（9）にはステレオR信号の他にステレオL信号がクロストークとして表れ、マトリクス回路（7）のセパレーションが悪化する。

【0004】そこで、従来では、サブ信号デコーダ

（5）の入力端に、ステレオコンボジット信号のレベルを手動で可変する可変回路（10）を設け、ラジオ受信機の製造工程の調整過程において、ステレオL信号またはステレオR信号のいずれか一方のみを含むステレオコンボジット信号をラジオ受信機に印加し、マトリクス回路（7）のセパレーションが略100%となるように、サブ信号のレベルを変えていた。その為、調整時間がかかり、生産効率が悪化するという問題があった。

【0005】

【課題を解決するための手段】本発明は上述の点に鑑み成されたものであり、ステレオコンボジット信号より、ステレオ差信号を再生するステレオ差信号再生回路と、前記ステレオ差信号再生回路の入力信号または出力信号を制御信号に応じたレベルに設定する第1レベル調整回路と、前記ステレオコンボジット信号よりステレオ和信号を抽出するステレオ和信号発生回路と、前記ステレオ和信号と前記ステレオ差信号とをマトリクスし、ステレオL信号及びステレオR信号を発生するマトリクス回路と、前記第1レベル調整回路に印加される制御信号を記憶する第1記憶回路と、から成ることを特徴とする。

【0006】また、ステレオコンボジット信号より、ステレオ差信号を再生するステレオ差信号再生回路と、前記ステレオ差信号再生回路の出力信号を制御信号に応じたレベルに設定する第2及び第3レベル調整回路と、前記ステレオコンボジット信号よりステレオ和信号を抽出するステレオ和信号発生回路と、前記ステレオ和信号と前記第2レベル調整回路の出力信号とを加算する加算器と、前記ステレオ和信号と前記第3レベル調整回路の出力信号とを減算する減算器とを含み、ステレオL信号及びステレオR信号を発生するマトリクス回路と、前記第2及び第3レベル調整回路に印加される制御信号を記憶する第2記憶回路と、から成ることを特徴とする。

【0007】さらに、ステレオコンボジット信号より、ステレオ差信号を再生するステレオ差信号再生回路と、前記ステレオ差信号再生回路の入力信号または出力信号を制御信号に応じたレベルに設定するレベル調整回路と、前記ステレオコンボジット信号よりステレオ和信号を抽出するステレオ和信号発生回路と、前記ステレオ和信号と前記ステレオ差信号とをマトリクスし、ステレオL信号及びステレオR信号を発生するマトリクス回路と、前記レベル調整回路に印加される制御信号を記憶する記憶回路と、から成るステレオ復調回路の分離度調整方法であり、ステレオL信号のみ、または、ステレオR信号のみを含むステレオコンボジット信号を印加し、マトリクス回路から発生するステレオR信号及びステレオK信号のレベルを検出し、前記検出結果に応じて、制御信号を変更し、前記制御信号に応じて、前記ステレオ差信号のレベルを調整し、前記レベルの調整により、分離度を調整するようにしたことを特徴とする。

【0008】

【発明の実施の形態】図1は本発明の一実施例を示す図であり、(11)はステレオコンボジット信号のレベルを調整するレベル調整回路、(12)はレベル調整回路(11)のレベル可変量を設定するための制御データを発生する制御回路、(13)は制御データをアナログ変換し制御信号を発生するD/A変換回路、(14)は制御データを記憶するメモリー、(15)はマトリクス回路(7)の出力信号のレベルを検出するレベル検出回路

である。尚、図1において、図2の従来例と同一の回路については、図2の従来例と同一の符号を付し、説明を省略する。

【0009】図1において、ラジオ受信機の通常動作ではレベル検出回路(15)は接続されていない。受信RF信号は周波数変換回路(1)でIF信号に周波数変換され、前記IF信号はIF増幅回路(2)で増幅される。IF増幅回路(2)の出力信号はFM検波回路

(3)でFM検波され、その出力端にステレオコンボジット信号が発生する。前記ステレオコンボジット信号は、副搬送波信号再生回路(4)、LPF(11)及びレベル調整回路(11)に印加される。副搬送波信号発生回路(4)において、ステレオコンボジット信号より副搬送波信号が再生され、前記再生副搬送波信号はサブ信号デコーダ(5)にスイッチング信号として印加される。また、ステレオコンボジット信号はレベル調整回路(11)に印加され、ステレオコンボジット信号のレベルが所定レベルに可変され、設定される。そして、サブ信号デコーダ(5)は、例えば、二重平衡型乗算回路で構成され、レベル調整回路(11)の出力信号と前記スイッチング信号とを乗算することにより、サブ信号(L-R)が得られる。尚、前記サブ信号レベルは、ステレオコンボジット信号のレベルに応じて変化するので、レベル調整回路(11)のレベル可変量に応じて設定される。また、LPF(6)はステレオコンボジット信号中のメイン信号(L+R)が通過可能な帯域を有し、メイン信号のみがLPF(6)を通過する。前記メイン信号(L+R)及び前記サブ信号(L-R)はマトリクス回路(7)に印加され、マトリクスされることにより、出力端子(8)及び(9)にそれぞれステレオL信号及びステレオR信号が発生する。

【0010】制御回路(12)は、メモリー(14)から制御データを読み出し、D/A変換回路(13)に転送する。D/A変換回路(13)において、制御データはアナログ制御信号に変換され、レベル調整回路(11)のレベル可変量は前記制御信号に応じて設定される。前記制御データは、セットの製造工程において、サブ信号のレベルが所定のレベルになるように作成されたもので、マトリクス回路(7)のセパレーションが最良となる。尚、制御回路(14)は、例えば、ラジオ受信機と同調周波数を決める局部発振信号の周波数を設定したり、また、放送局のサーチ動作中にサーチストップ信号を発生する等の制御を行うマイコンと兼用しても良い。

【0011】次に、図1のラジオ受信機の生産工程における調整作業について、図3のフローチャートを用いて説明する。まず、調整作業の開始に先立ち、レベル検出回路(15)が点線の如くラジオ受信機に接続される(S1)。ステレオL信号のみを含む第1試験信号をラジオ受信機に受信させる(S2)。制御回路(12)

から最初の制御データが発生し、アナログ変換された後、制御信号としてレベル調整回路に印加され、サブ信号のレベルは第1レベルになる(S3)。レベル検出回路(15)は出力端子(9)の出力信号レベルを検出する(S4)。前記レベル検出回路(15)の出力信号はA/D変換回路(16)でデジタル変換され、そのデータは制御データと共にメモリに一時記憶される(S5)。制御回路(12)において、制御データが最後のデータか否か検出され(S6)、最後のデータでない場合は制御データが次のデータに置き換えられる(S7)。そして、制御データが最後の制御データになるまで、S4からS7までのステップが繰り返される。よって、メモリ(14)には、サブ信号のレベルを生成するための制御データと出力端子(9)の出力信号レベルに応じたデータが複数個記憶される。尚、制御データに応じて、サブ信号レベルは大きくなる方向、または、小さくなる方向に一変化方向に変化する。

【0012】制御データが最後の制御データであると、次に、ステレオR信号のみを含む第2試験信号をラジオ受信機に受信させる(S8)。その後、S3からS7までのステップと同様に、制御回路(12)が制御データが発生し、アナログ変換された制御信号に応じてサブ信号のレベルを変化し、出力端子(8)の出力信号レベルを検出し、メモリ(14)に順次制御データと出力端子(8)の出力信号レベルに応じたデータが対で一時的記憶される(S9~S13)。制御データが最後の制御データであると、第2試験信号の受信を停止させる。そして、制御回路(12)はメモリ(14)からデータを読み出し、出力端子(18)及び(19)の出力信号レベルが最も良好な関係になる制御データを判別し、メモリ(14)に前記制御データを記憶する(S14)。最後に、レベル検出回路(15)及びA/D変換回路(16)がラジオ受信機から取り外される。

【0013】尚、図1において、レベル調整回路(11)はサブ信号デコーダ(5)の出力信号レベルを可変するように構成してもよい。この場合、マトリクス回路(7)に印加されるサブ信号のレベルを正確に設定することができる。図4は本発明の他の実施例であり、(17)及び(18)はサブ信号のレベルを可変する第1及び第2レベル調整回路、(19)はLPF(6)の出力信号と第1レベル調整回路(17)の出力信号とを加算する加算回路及びLPF(6)の出力信号と第2レベル調整回路(18)の出力信号とを減算する減算回路から成るマトリクス回路である。

【0014】図4において、サブ信号デコーダ(5)の出力信号は第1及び第2レベル調整回路(17)及び(18)に印加される。第1及び第2レベル調整回路(17)及び(18)の可変レベルはそれぞれD/A変換回路(13)の出力信号に応じて設定されている。第1及び第2レベル調整回路(17)及び(18)の出力

信号はそれぞれ加算回路及び減算回路に印加されて、他の入力端に印加されるLPF(6)の出力信号とそれぞれ加算及び減算され、ステレオL及びR信号が得られる。その為、マトリクス回路(19)の加算及び減算ライン中のサブ信号レベルを独立して設定でき、最良のセパレーションを得ることができる。

【0015】図5は図1のレベル調整回路(11)の具体回路例であり、(20)は入力信号が印加される第1電流源トランジスタ、(21)はバイアスが印加される第2電流源トランジスタ、(22)及び(23)は第1電流源トランジスタ(20)のコレクタ電流を動作電流とし、差動接続されたトランジスタ、(24)及び(25)は第2電流源トランジスタ(21)のコレクタ電流を動作電流とし、差動接続されたトランジスタ、(26)は電流ミラー回路から成る出力回路、(27)は定電流源、(28)はD/A変換回路(13)の出力信号に応じて可変される可変電流源である。

【0016】図5において、FM検波回路(3)の出力信号は第1電流源トランジスタ(20)のベースに印加され、第1電流源トランジスタ(20)のコレクタ電流は前記出力信号に応じて大きさが変化する電流になる。第1電流源トランジスタ(20)のコレクタ電流は、トランジスタ(22)及び(23)のエミッタに供給され、分流される。また、第2電流源トランジスタ(21)のベースにはバイアスが印加されるので、第2電流源トランジスタ(21)のコレクタ電流の大きさは一定になる。そして、第2電流源トランジスタ(21)のコレクタ電流は、トランジスタ(24)及び(25)のエミッタに供給され、分流される。トランジスタ(23)及び(25)のコレクタ電流は加算された後、出力回路(26)を介して後段回路に伝送される。即ち、入力信号と一定レベルの信号との加算信号が出力端子から発生する。

【0017】一方、トランジスタ(22)及び(25)のベースにトランジスタ(29)のエミッタ電圧が印加され、トランジスタ(23)及び(24)のベースにトランジスタ(30)のエミッタ電圧が印加される。トランジスタ(29)のエミッタ電圧は定電流源(27)の出力電流の大きさに応じた値であり、トランジスタ(30)のエミッタ電圧は可変電流源(28)の出力電流の大きさに応じた値である。可変電流源(28)の出力電流はD/A変換回路(13)の出力信号に応じて変化する。トランジスタ(30)のエミッタ電圧が変化するので、トランジスタ(22)及び(23)のベース間電圧及びトランジスタ(24)及び(25)のベース間電圧が変化し、それぞれのトランジスタに分流される電流の比が変化し、出力端子に得られる出力信号のレベルを変えることができる。即ち、トランジスタ(30)のエミッタ電圧がトランジスタ(29)のエミッタ電圧より高

ければ、トランジスタ(23)のコレクタ電流が大きくなり、出力端子に得られる出力信号のレベルが高くなる。また、トランジスタ(30)のエミッタ電圧がトランジスタ(29)のエミッタ電圧より低いと、トランジスタ(25)のコレクタ電流が大きくなり、出力端子に得られる出力信号のレベルが低くなる。

【0018】

【発明の効果】以上述べた如く、本発明に依れば、最良のセパレーションを得るため、復調されたステレオL及びR信号のレベルに応じたサブ信号のレベルの調整を自動で行うことができるので、セット製造時のセパレーション調整時間を短縮することができ、生産工程の効率を上げることができる。

【0019】また、レベル調整回路は、集積化可能なトランジスタ及び抵抗で構成されているので、集積化に好適なステレオ復調回路を提供することができ、外付け素子の削減をすることができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】従来例を示すブロック図である。

【図3】本発明の動作を説明するためのフローチャート

である。

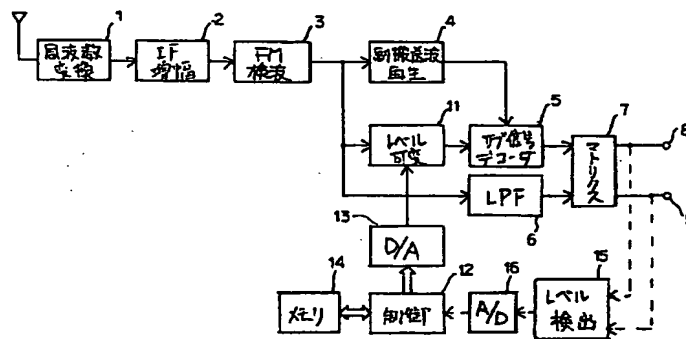
【図4】本発明の他の実施例を示すブロック図である。

【図5】図1の要部を示す回路図である。

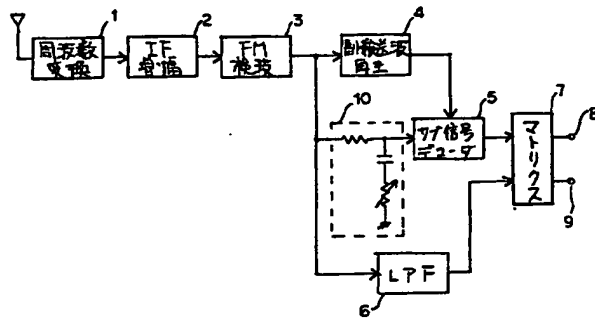
【符号の説明】

1	周波数変換回路
2	I F増幅回路
3	FM検波回路
4	副搬送波信号再生回路
5	サブ信号デコーダ
10 6	LPF
7	マトリクス回路
8、9	出力端子
11	レベル調整回路
12	制御回路
13	D/A変換回路
14	メモリ
15	レベル検出回路
16	A/D変換回路
17	第1レベル調整回路
20 18	第2レベル調整回路

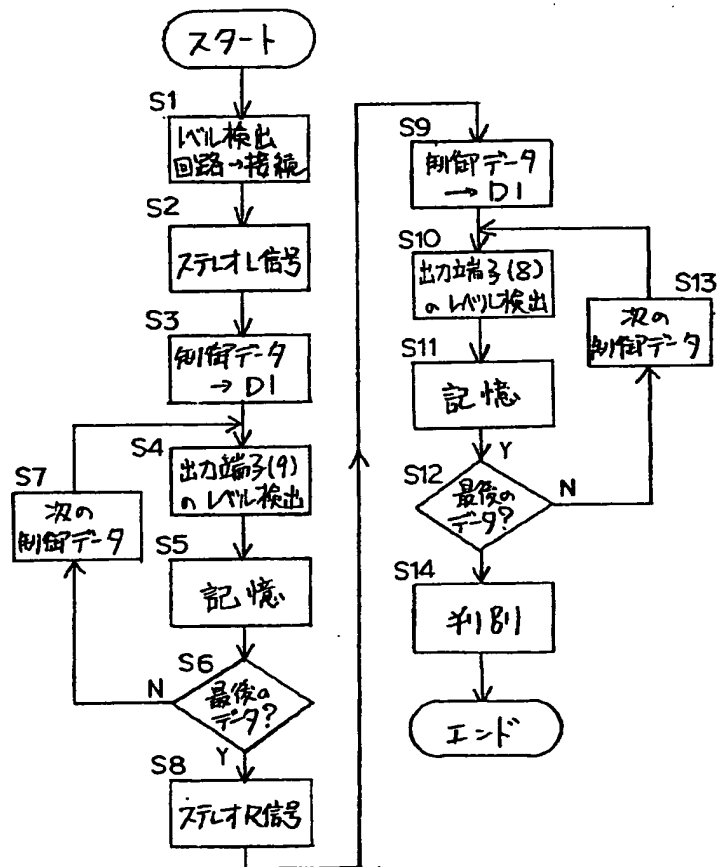
【図1】



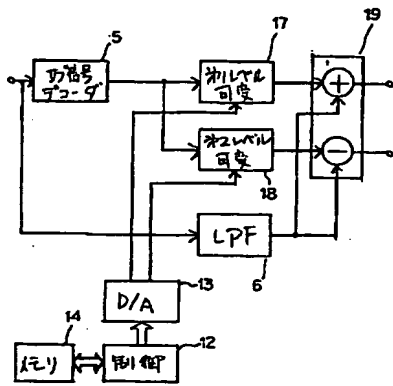
【図2】



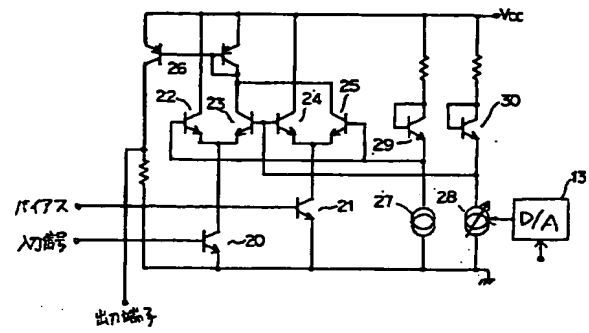
【図3】



【図4】



【図5】



BLANK PAGE